



(12) 发明专利申请

(10) 申请公布号 CN 116568123 A

(43) 申请公布日 2023. 08. 08

(21) 申请号 202310602718.7

(22) 申请日 2023.05.25

(71) 申请人 中国科学院上海微系统与信息技术  
研究所

地址 200050 上海市长宁区长宁路865号

(72) 发明人 谢辉 何桂香 应利良 彭炜  
王镇

(74) 专利代理机构 上海光华专利事务所(普通  
合伙) 31219

专利代理师 卢炳琼

(51) Int. Cl.

H10N 60/01 (2023.01)

H10N 60/80 (2023.01)

H10N 69/00 (2023.01)

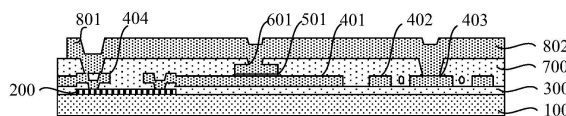
权利要求书2页 说明书8页 附图3页

(54) 发明名称

超导集成电路及其制备方法

(57) 摘要

本发明提供一种超导集成电路及其制备方法,在绝缘层生长时引入两步生长法,或进一步的在电感外侧形成支撑件以提供绝缘层生长的合适间距,从而填补图形之间的间隙,形成良好的台阶覆盖性,克服因台阶阴影效应导致的台阶缝隙金属沉积现象,不但能够有效提升超导集成电路的性能稳定性及可靠性,而且不需要沉积较厚的绝缘层,可缩短绝缘层制备的时间,降低制造成本。



1. 一种超导集成电路的制备方法,其特征在于,包括以下步骤:  
提供衬底;  
于所述衬底上形成图形化的旁路电阻;  
形成覆盖所述旁路电阻及所述衬底的第一绝缘层,并图形化所述第一绝缘层,于所述第一绝缘层中形成第一接触孔,所述第一接触孔显露所述旁路电阻;  
于所述第一绝缘层上形成依次堆叠的第一超导层、势垒层及第二超导层;  
图形化所述第二超导层、所述势垒层及所述第一超导层,形成由所述第二超导层、所述势垒层及所述第一超导层构成的约瑟夫森结,以及由所述第一超导层构成的电感及填充所述第一接触孔的第一接触件,且所述电感与临近的所述第一超导层之间具有间隙;  
在指向所述衬底的方向上采用加偏压及无偏压的生长模式形成第二绝缘层,并图形化所述第二绝缘层,于所述第二绝缘层中形成第二接触孔,所述第二接触孔显露所述第一接触件、所述约瑟夫森结的上表面以及所述电感的上表面,且所述第二绝缘层封闭所述电感与临近的所述第一超导层之间的间隙;  
于所述第二绝缘层上形成第三超导层,以形成填充所述第二接触孔的第二接触件,并图形化所述第三超导层形成配线层。
2. 根据权利要求1所述的超导集成电路的制备方法,其特征在于:在指向所述衬底的方向上采用加偏压及无偏压的生长模式形成所述第二绝缘层的步骤为:  
在指向所述衬底的方向上先采用加偏压的生长模式生长所述第二绝缘层,使得所述第二绝缘层在所述电感上的厚度接近所述电感厚度的 $1/2\sim 7/8$ ;  
在指向所述衬底的方向上采用无偏压的生长模式继续生长所述第二绝缘层,以封闭所述电感与临近的所述第一超导层之间的间隙。
3. 根据权利要求1所述的超导集成电路的制备方法,其特征在于:所述电感与临近的所述第一超导层之间的间隙距离为 $100\text{nm}\sim 500\text{nm}$ 。
4. 根据权利要求1所述的超导集成电路的制备方法,其特征在于:图形化所述第二超导层、所述势垒层及所述第一超导层时,还包括形成由所述第一超导层构成的位于所述电感外侧的支撑件;所述电感与所述支撑件之间的间隙距离为 $100\text{nm}\sim 500\text{nm}$ 。
5. 根据权利要求1所述的超导集成电路的制备方法,其特征在于:制备所述第二绝缘层的方法为PECVD法;制备所述第一绝缘层的方法为PECVD法。
6. 根据权利要求1所述的超导集成电路的制备方法,其特征在于:所述第一绝缘层包括氧化硅层及氮化硅层中的一种或组合;所述第二绝缘层包括氧化硅层及氮化硅层中的一种或组合。
7. 根据权利要求1所述的超导集成电路的制备方法,其特征在于:还包括形成覆盖所述配线层及所述第二接触件的第三绝缘层,并图形化所述第三绝缘层,以及于所述第三绝缘层上形成第四超导层,并图形化所述第四超导层形成接地层的步骤。
8. 一种超导集成电路,其特征在于,所述超导集成电路包括:  
衬底;  
位于所述衬底上的图形化的旁路电阻;  
图形化的第一绝缘层,所述第一绝缘层覆盖所述旁路电阻及所述衬底,且具有显露所述旁路电阻的第一接触孔;

位于所述第一绝缘层上的由第二超导层、势垒层及第一超导层构成的约瑟夫森结,以及由所述第一超导层构成的电感、位于所述电感外侧的支撑件及填充所述第一接触孔的第一接触件,且所述电感与所述支撑件之间具有间隙;

图形化的第二绝缘层,所述第二绝缘层覆盖所述支撑件,且所述第二绝缘层封闭所述电感与所述支撑件之间的间隙,所述第二绝缘层中具有第二接触孔,所述第二接触孔显露所述第一接触件、所述约瑟夫森结的上表面以及所述电感的上表面;

位于所述第二绝缘层上的配线层及填充所述第二接触孔的第二接触件。

9. 根据权利要求8所述的超导集成电路,其特征在于:所述支撑件与所述电感之间的间隙距离为100nm~500nm。

10. 根据权利要求8所述的超导集成电路,其特征在于:还包括覆盖所述配线层及所述第二接触件的图形化的第三绝缘层,以及位于所述第三绝缘层上的接地层。

## 超导集成电路及其制备方法

### 技术领域

[0001] 本发明属于半导体制造技术领域,涉及一种超导集成电路及其制备方法。

### 背景技术

[0002] 超导集成电路利用约瑟夫森结内的单个磁通量子(Single Flux Quantum,SFQ)产生的皮秒级脉冲作为数字逻辑,具有速度快、功耗低等优点,可用于超导模数/数模转换器、超导放大器、超导计算机等。超导集成电路一般由约瑟夫森结、电阻、电感等相互搭配组成的单元布线互联而成。其中,电感在电路中主要起到滤波、震荡、相位延迟等作用,为保证超导集成电路各元器件正常稳定的工作,电感的稳定性十分重要。

[0003] 在超导集成电路中,绝缘层的致密性、绝缘性能和介电性能不但直接影响到电路电感值的稳定性,同时还对超导集成工艺的稳定性 and 可靠性存在影响。例如,当绝缘层致密性较差时,在超导集成电路制备过程中,如在有机清洗工艺中,溶液会渗透进绝缘层空洞中导致绝缘层局部脱落;当绝缘层介电性能出现波动,会造成超导集成电路中局部电容过大或者过小从而导致电路性能波动。由此可见,绝缘层制备是超导集成电路工艺中的关键技术之一。

[0004] 超导集成电路中绝缘层的制备方法一般采用化学气相沉积(CVD)或物理气相沉积(PVD)。为了保证约瑟夫森结以及层间绝缘性能,通常要求其上方的绝缘层具有足够的厚度,其中,随着层数的增加,所要求的层间绝缘层的厚度也逐渐增加,薄膜沉积过程中台阶处的台阶阴影效应就越明显,台阶处侧壁沉积的薄膜会从垂直逐渐变为内凹,导致后续在该绝缘层上方沉积金属薄膜时,这些内凹的图形台阶缝隙中会沉积金属薄膜,且该部分金属薄膜无法在后续刻蚀工艺中完全去除,而这些台阶处的金属残留将影响超导集成电路的电感特性;同时,增加绝缘层厚度则会导致工艺时间变长,增加超导集成电路制造成本;从而超导集成电路制备中采用这种增加绝缘层厚度的传统方式将引起层间电感波动,导致电路性能不稳定,甚至失效。如何克服绝缘层工艺所引入的电路电感波动,已成为实现高稳定性、高可靠性超导集成电路制备亟待解决的重要技术问题。

[0005] 因此,提供一种超导集成电路及其制备方法,实属必要。

### 发明内容

[0006] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种超导集成电路及其制备方法,用于解决现有技术中难以制备高稳定性、高可靠性的超导集成电路的问题。

[0007] 为实现上述目的及其他相关目的,本发明提供一种超导集成电路的制备方法,包括以下步骤:

[0008] 提供衬底;

[0009] 于所述衬底上形成图形化的旁路电阻;

[0010] 形成覆盖所述旁路电阻及所述衬底的第一绝缘层,并图形化所述第一绝缘层,于所述第一绝缘层中形成第一接触孔,所述第一接触孔显露所述旁路电阻;

- [0011] 于所述第一绝缘层上形成依次堆叠的第一超导层、势垒层及第二超导层；
- [0012] 图形化所述第二超导层、所述势垒层及所述第一超导层，形成由所述第二超导层、所述势垒层及所述第一超导层构成的约瑟夫森结，以及由所述第一超导层构成的电感和填充所述第一接触孔的第一接触件，且所述电感与临近的所述第一超导层之间具有间隙；
- [0013] 在指向所述衬底的方向上采用加偏压及无偏压的生长模式形成第二绝缘层，并图形化所述第二绝缘层，于所述第二绝缘层中形成第二接触孔，所述第二接触孔显露所述第一接触件、所述约瑟夫森结的上表面以及所述电感的上表面，且所述第二绝缘层封闭所述电感与临近的所述第一超导层之间的间隙；
- [0014] 于所述第二绝缘层上形成第三超导层，以形成填充所述第二接触孔的第二接触件，并图形化所述第三超导层形成配线层。
- [0015] 可选地，在指向所述衬底的方向上采用加偏压及无偏压的生长模式形成所述第二绝缘层的步骤为：
- [0016] 在指向所述衬底的方向上先采用加偏压的生长模式生长所述第二绝缘层，使得所述第二绝缘层在所述电感上的厚度接近所述电感厚度的 $1/2\sim 7/8$ ；
- [0017] 在指向所述衬底的方向上采用无偏压的生长模式继续生长所述第二绝缘层，以封闭所述电感与临近的所述第一超导层之间的间隙。
- [0018] 可选地，所述电感与临近的所述第一超导层之间的间隙距离为 $100\text{nm}\sim 500\text{nm}$ 。
- [0019] 可选地，图形化所述第二超导层、所述势垒层及所述第一超导层时，还包括形成由所述第一超导层构成的位于所述电感外侧的支撑件；所述电感与所述支撑件之间的间隙距离为 $100\text{nm}\sim 500\text{nm}$ 。
- [0020] 可选地，制备所述第二绝缘层的方法为PECVD法；制备所述第一绝缘层的方法为PECVD法。
- [0021] 可选地，所述第一绝缘层包括氧化硅层及氮化硅层中的一种或组合；所述第二绝缘层包括氧化硅层及氮化硅层中的一种或组合。
- [0022] 可选地，还包括形成覆盖所述配线层及所述第二接触件的第三绝缘层，并图形化所述第三绝缘层，以及于所述第三绝缘层上形成第四超导层，并图形化所述第四超导层形成接地层的步骤。
- [0023] 本发明还提供一种超导集成电路，所述超导集成电路包括：
- [0024] 衬底；
- [0025] 位于所述衬底上的图形化的旁路电阻；
- [0026] 图形化的第一绝缘层，所述第一绝缘层覆盖所述旁路电阻及所述衬底，且具有显露所述旁路电阻的第一接触孔；
- [0027] 位于所述第一绝缘层上的由第二超导层、势垒层及第一超导层构成的约瑟夫森结，以及由所述第一超导层构成的电感、位于所述电感外侧的支撑件及填充所述第一接触孔的第一接触件，且所述电感与所述支撑件之间具有间隙；
- [0028] 图形化的第二绝缘层，所述第二绝缘层覆盖所述支撑件，且所述第二绝缘层封闭所述电感与所述支撑件之间的间隙，所述第二绝缘层中具有第二接触孔，所述第二接触孔显露所述第一接触件、所述约瑟夫森结的上表面以及所述电感的上表面；
- [0029] 位于所述第二绝缘层上的配线层及填充所述第二接触孔的第二接触件。

[0030] 可选地,所述支撑件与所述电感之间的间隙距离为100nm~500nm。

[0031] 可选地,还包括覆盖所述配线层及所述第二接触件的图形化的第三绝缘层,以及位于所述第三绝缘层上的接地层。

[0032] 如上所述,本发明的超导集成电路及其制备方法,在绝缘层生长时引入两步生长法,或进一步的在电感外侧形成支撑件以提供绝缘层生长的合适间距,从而填补图形之间的间隙,形成良好的台阶覆盖性,克服因台阶阴影效应导致的台阶缝隙金属沉积现象,不但能够有效提升超导集成电路的性能稳定性及可靠性,而且不需要沉积较厚的绝缘层,可缩短绝缘层制备的时间,降低制造成本。

## 附图说明

[0033] 图1显示为本发明实施例中制备超导集成电路的工艺流程示意图。

[0034] 图2显示为本发明实施例中形成图形化的旁路电阻后的结构示意图。

[0035] 图3显示为本发明实施例中形成图形化的第一绝缘层后的结构示意图。

[0036] 图4显示为本发明实施例中形成依次堆叠的第一超导层、势垒层及第二超导层后的结构示意图。

[0037] 图5显示为本发明实施例中图形化第二超导层、势垒层及第一超导层后的结构示意图。

[0038] 图6显示为本发明实施例中形成图形化的第二绝缘层后的结构示意图。

[0039] 图7显示为本发明实施例中形成配线层后的结构示意图。

[0040] 图8显示为本发明实施例中形成第三绝缘层后的结构示意图。

[0041] 图9显示为本发明实施例中形成接地层后的结构示意图。

[0042] 图10显示为图6中在采用加偏压的生长模式形成第二绝缘层后的结构示意图。

[0043] 图11显示为图6中在采用无偏压的生长模式形成第二绝缘层后的结构示意图。

[0044] 元件标号说明

[0045]	100	衬底
[0046]	200	旁路电阻
[0047]	300	第一绝缘层
[0048]	400	第一超导层
[0049]	401	底部超导层
[0050]	402	支撑件
[0051]	403	电感
[0052]	404	第一接触件
[0053]	500	势垒层
[0054]	501	中间势垒层
[0055]	600	第二超导层
[0056]	601	顶部超导层
[0057]	700	第二绝缘层
[0058]	801	第二接触件
[0059]	802	配线层

[0060]	900	第三绝缘层
[0061]	110	接地层
[0062]	120	空气隙

### 具体实施方式

[0063] 以下通过特定的具体实例说明本发明的实施方式，本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用，本说明书中的各项细节也可以基于不同观点与应用，在没有背离本发明的精神下进行各种修饰或改变。

[0064] 如在详述本发明实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本发明保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0065] 为了方便描述，此处可能使用诸如“之下”、“下方”、“低于”、“下面”、“上方”、“上”等的空间关系词语来描述附图中所示的一个元件或特征与其他元件或特征的关系。将理解到，这些空间关系词语意图包含使用中或操作中的器件的、除了附图中描绘的方向之外的其他方向，可以包括第一和第二特征形成为直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触，另外，当一层被称为在两层“之间”时，它可以是所述两层之间仅有的层，或者也可以存在一个或多个介于其间的层。

[0066] 需要说明的是，本实施例中所提供的图示仅以示意方式说明本发明的基本构想，遂图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制，其实际实施时各组件的型态、数量及比例可为一种随意的改变，其组件布局型态也可能更为复杂。

[0067] 如图1，本实施例提供一种超导集成电路的制备方法，包括以下步骤：

[0068] S1：提供衬底；

[0069] S2：于所述衬底上形成图形化的旁路电阻；

[0070] S3：形成覆盖所述旁路电阻及所述衬底的第一绝缘层，并图形化所述第一绝缘层，于所述第一绝缘层中形成第一接触孔，所述第一接触孔显露所述旁路电阻；

[0071] S4：于所述第一绝缘层上形成依次堆叠的第一超导层、势垒层及第二超导层；

[0072] S5：图形化所述第二超导层、所述势垒层及所述第一超导层，形成由所述第二超导层、所述势垒层及所述第一超导层构成的约瑟夫森结，以及由所述第一超导层构成的电感及填充所述第一接触孔的第一接触件，且所述电感与临近的所述第一超导层之间具有间隙；

[0073] S6：在指向所述衬底的方向上采用加偏压及无偏压的生长模式形成第二绝缘层，并图形化所述第二绝缘层，于所述第二绝缘层中形成第二接触孔，所述第二接触孔显露所述第一接触件、所述约瑟夫森结的上表面以及所述电感的上表面，且所述第二绝缘层封闭所述电感与临近的所述第一超导层之间的间隙；

[0074] S7：于所述第二绝缘层上形成第三超导层，形成填充所述第二接触孔的第二接触件，并图形化所述第三超导层形成配线层。

[0075] 本实施例的所述超导集成电路的制备方法,在进行所述第二绝缘层的生长时,引入两步生长法,从而可填补图形之间的间隙,形成良好的台阶覆盖性,克服因阴影效应导致的台阶缝隙金属沉积现象,不但能够有效提升所述超导集成电路的性能稳定性及可靠性,而且不需要沉积较厚的绝缘层,可缩短绝缘层制备的时间,降低制造成本。

[0076] 作为示例,所述电感与临近的所述第一超导层之间的间隙距离可为100nm~500nm,如100nm、200nm、400nm、500nm等,但并非局限于此。

[0077] 具体的,当所述电感与临近的所述第一超导层之间的距离较近时,在采用两步生长法后,可使得所述第二绝缘层封闭所述电感与临近的所述第一超导层之间的间隙,即在所述超导集成电路的制备过程中,当所述电感附近具有由所述第一超导层构成的元件时,可直接通过两步生长法,形成填充所述电感与临近的所述第一超导层之间的间隙的所述第二绝缘层,以形成良好的台阶覆盖性,克服因阴影效应导致的台阶缝隙金属沉积现象,不但能够有效提升所述超导集成电路的性能稳定性及可靠性,而且不需要沉积较厚的绝缘层,可缩短绝缘层制备的时间,降低制造成本。

[0078] 当所述电感周围不具有所述第一超导层构成的元件时,可通过在所述电感周围形成临近所述电感的额外的支撑件,而后再通过两步生长法形成所述第二绝缘层,从而可形成填充所述电感与所述支撑件之间的间隙的所述第二绝缘层,以形成良好的台阶覆盖性。

[0079] 以下结合说明书附图2~图11,对具有支撑件402的有关所述超导集成电路的结构及制备进行介绍,在另一实施例中,所述支撑件402也可直接理解为位于所述电感403周围的由第一超导层400构成的元件,如电感、底部超导层等,此处不作过分限制。

[0080] 首先,参阅图1及图2,执行步骤S1及S2,提供衬底100,以及于所述衬底100上形成图形化的旁路电阻200。

[0081] 具体的,所述衬底100可包括硅衬底、蓝宝石衬底及碳化硅衬底等,本实施例中,采用SiO<sub>2</sub>/Si复合衬底,但也不限于此,任何适于制备超导集成电路的衬底均可使用。

[0082] 其中,形成所述旁路电阻200的方法可包括:先于所述衬底100上形成一层旁路电阻材料层,然后对所述旁路电阻材料层进行光刻及刻蚀如采用反应离子刻蚀(RIE)或感应耦合等离子体刻蚀(ICP)以实现与所述旁路电阻材料层的图形化得到所述旁路电阻200。所述旁路电阻200可以选择为单一的Mo层,但并非局限于此。

[0083] 接着,参阅图1及图3,执行步骤S3,形成覆盖所述旁路电阻200及所述衬底100的第一绝缘层300,并图形化所述第一绝缘层300,于所述第一绝缘层300中形成第一接触孔,所述第一接触孔显露所述旁路电阻200。

[0084] 具体的,可先于步骤S2得到的结构表面采用如PECVD的工艺,在指向所述衬底100的方向上直接采用加偏压的生长模式形成第一绝缘材料层,然后对所述第一绝缘材料层进行光刻及刻蚀如采用RIE或ICP实现图形化,形成具有所述第一接触孔的图形化的所述第一绝缘层300,关于所述第一接触孔的形貌及位置此处不作过分限制,可根据需要设置。

[0085] 其中,所述第一绝缘层300的材料可包括氧化硅及氮化硅中一种或组合,但也不限于此,其他绝缘性能较佳的材料也可。

[0086] 接着,参阅图1及图4,执行步骤S4,于所述第一绝缘层300上形成依次堆叠的第一超导层400、势垒层500及第二超导层600。

[0087] 具体的,所述第一超导层400的材质可包括NbN层及Nb层中的一种或组合;所述势



垒层500可为含铝材料层,如A1-A10<sub>x</sub>层;所述第二超导层600可包括NbN层及Nb层中的一种或组合;但所述第一超导层400、所述势垒层500及所述第二超导层600的材质并非局限于此。本实施例中,所述第一超导层400为Nb层、所述势垒层500为A1-A10<sub>x</sub>层、所述第二超导层600为Nb层。

[0088] 接着,参阅图1及图5,执行步骤S5,图形化所述第二超导层600、所述势垒层500及所述第一超导层400,形成由所述第二超导层600、所述势垒层500及所述第一超导层400构成的约瑟夫森结,以及由所述第一超导层400构成的电感403、由所述第一超导层400构成的位于所述电感403外侧的支撑件402,及填充所述第一接触孔的第一接触件404,且所述电感403与所述支撑件402之间具有间隙。

[0089] 具体的,参阅图5,可通过光刻及刻蚀如采用RIE或ICP实现图形化,以刻蚀所述第二超导层600形成所述约瑟夫森结的顶部超导层601,以及刻蚀所述势垒层500形成所述约瑟夫森结的中间势垒层501,以及对所述第一超导层400进行光刻及刻蚀如采用RIE或ICP实现图形化制备所述约瑟夫森结的底部超导层401,本实施例中,在图形化所述第一超导层400时,通过光刻及刻蚀,在所述第一超导层400中可同时形成由所述第一超导层400构成的所述电感403及所述支撑件402,以提供临近所述电感403的元件,以便于后续采用两步法填充由所述电感403及所述支撑件402构成的间隙。

[0090] 其中,可在所述电感403的两侧或周围加入密集的方块或其他形貌的所述支撑件402,所述支撑件402的密集程度可根据具体所用光刻工艺的精度而定,所述支撑件402的高度与所述电感403等高,且不参与电路之间的连接,只是在后续第二绝缘层700的沉积过程中起到模块支撑效果,便于所述第二绝缘层700的快速覆盖。

[0091] 在另一实施例中,所述支撑件402也可为由其他工艺额外制备,如通过沉积、光刻及刻蚀制备所述支撑件402,但这无疑会增加工艺复杂度,本实施例中,直接在图形化所述第一超导层400时,同时构成所述电感403及所述支撑件402,可简化工艺。

[0092] 作为示例,所述电感403与所述支撑件402之间的间隙距离可为100nm~500nm。

[0093] 具体的,如图10及图11示意为图6中A区域的局部放大图,在图10中,所述电感403与所述支撑件402之间的间隙距离L可为如100nm、200nm、400nm、500nm等,但并非局限于此,以便于后续通过两步法生长所述第二绝缘层700以填充图形之间的空隙。

[0094] 接着,参阅图1及图6,执行步骤S6,在指向所述衬底100的方向上采用加偏压及无偏压的生长模式形成所述第二绝缘层700,并图形化所述第二绝缘层700,于所述第二绝缘层700中形成第二接触孔,所述第二接触孔显露所述第一接触件404、所述约瑟夫森结的上表面以及所述电感403的上表面,且所述第二绝缘层700封闭所述电感403与所述支撑件402之间的间隙。

[0095] 作为示例,制备所述第二绝缘层700的方法可为PECVD法,但并非局限于此。其中,所述第二绝缘层700的材质可包括氧化硅及氮化硅中一种或组合,但也不限于此,其他绝缘性能较佳的材料也可。

[0096] 其中,在指向所述衬底100的方向上采用加偏压及无偏压的生长模式形成所述第二绝缘层700的步骤可为:

[0097] 在指向所述衬底100的方向上先采用加偏压的生长模式生长所述第二绝缘层700,使得所述第二绝缘层700在所述电感403上的厚度D1接近所述电感403的厚度D2的1/2~7/

8,如图10;

[0098] 在指向所述衬底100的方向上采用无偏压的生长模式继续生长所述第二绝缘层700,以封闭所述电感403与所述支撑件402之间的间隙,如图11。

[0099] 具体的,由于所述电感403具有一定厚度,从而具有台阶,在指向所述衬底100的方向上先采用加偏压的生长模式生长所述第二绝缘层700时,因台阶阴影效应,即在台阶处沉积的所述第二绝缘层700会从垂直逐渐变为内凹,台阶边缘处的所述第二绝缘层700会形成较大凸起,如图10,当所述第二绝缘层700在所述电感403上的厚度D1接近所述电感403的厚度D2的 $1/2\sim 7/8$ 时,如 $1/2$ 、 $3/4$ 、 $7/8$ 时,优选在 $3/4$ 时,可在指向所述衬底100的方向上采用无偏压的生长模式继续生长所述第二绝缘层700,以快速填补图、封闭所述电感403与所述支撑件402之间的间隙,如图11,最终在台阶底部形成封闭的具有空气隙120的所述第二绝缘层700,以避免在台阶空隙中金属沉积的现象,从而克服了一步生长法中台阶间隙的金属残留对电感的影响,实现了电路中电感的稳定控制。

[0100] 采用该两步生长法,可有效填补所述电感403与所述支撑件402之间的间隙,形成如图11中具有所述空气隙120的封闭所述间隙的所述第二绝缘层700,当然,根据工艺控制,也可形成不具有所述空气隙120但可封闭所述间隙的所述第二绝缘层700,以形成良好的台阶覆盖性,克服因台阶阴影效应导致的台阶缝隙金属沉积现象,不但能够有效提升超导集成电路的性能稳定性及可靠性,而且不需要沉积较厚的绝缘层,可缩短绝缘层制备的时间,降低制造成本。

[0101] 在形成所述第二绝缘层700后,可通过光刻及刻蚀如采用RIE或ICP实现图形化,形成具有所述第二接触孔的图形化的所述第二绝缘层700。关于所述第二接触孔的形貌及位置此处不作过分限制,可根据需要设置。

[0102] 接着,参阅图1及图7,执行步骤S7,于所述第二绝缘层700上形成第三超导层,以形成填充所述第二接触孔的第二接触件801,并图形化所述第三超导层形成配线层802,将信号引出。

[0103] 具体的,所述第三超导层的材质可包括NbN层及Nb层中的一种或组合,但所述第三超导层的材质并非局限于此。本实施例中,所述第三超导层为Nb层。在形成所述第三超导层后,可通过光刻及刻蚀如采用RIE或ICP实现图形化。

[0104] 进一步的,根据需要还可对制备的超导集成电路进行接地,以屏蔽外界噪声,如图8及图9,可于所述配线层802上形成第三绝缘层900,并对所述第三绝缘层900进行图形化,以及于所述第三绝缘层900上形成第四超导层,并图形化所述第四超导层形成接地层110。

[0105] 具体的,如图8,可先形成所述第三绝缘层900,并对所述第三绝缘层900进行光刻及刻蚀如采用RIE或ICP实现图形化,其中,所述第三绝缘层900的材料可包括氧化硅及氮化硅中一种或组合,但也不限于此,其他绝缘性能较佳的材料也可。然后,如图9,于所述第三绝缘层900上形成第四超导层,并对所述第四超导层进行光刻及刻蚀如采用RIE或ICP实现图形化制备所述接地层110。

[0106] 如图7,本实施例还提供一种超导集成电路,所述超导集成电路包括:

[0107] 衬底100;

[0108] 位于所述衬底100上的图形化的旁路电阻200;

[0109] 图形化的第一绝缘层300,所述第一绝缘层300覆盖所述旁路电阻200及所述衬底

100,且具有显露所述旁路电阻200的第一接触孔;

[0110] 位于所述第一绝缘层300上的由第二超导层、势垒层及第一超导层构成的约瑟夫森结,即由底部超导层401、中间势垒层501及顶部超导层601构成的所述约瑟夫森结,以及由所述第一超导层构成的电感403、位于所述电感403外侧的支撑件402及填充所述第一接触孔的第一接触件404,且所述电感403与所述支撑件402之间具有间隙;

[0111] 图形化的第二绝缘层700,所述第二绝缘层700覆盖所述支撑件402,且所述第二绝缘层700封闭所述电感403与所述支撑件402之间的间隙,所述第二绝缘层700中具有第二接触孔,所述第二接触孔显露所述第一接触件404、所述约瑟夫森结的上表面以及所述电感403的上表面;

[0112] 位于所述第二绝缘层700上的配线层802及填充所述第二接触孔的第二接触件801。

[0113] 具体的,所述超导集成电路可直接采用上述制备方法制备,但并非局限于此,本实施例中,所述超导集成电路直接采用上述制备方法制备,从而有关所述超导集成电路的制备、材质、结构等均可参阅上述制备方法。

[0114] 作为示例,所述支撑件402与所述电感403之间的间隙距离为100nm~500nm,如100nm、200nm、400nm、500nm等,但并非局限于此。

[0115] 作为示例,如图9,还可包括覆盖所述配线层408及所述第二接触件801的图形化的第三绝缘层900,以及位于所述第三绝缘层900上的接地层110。

[0116] 综上所述,本发明的超导集成电路及其制备方法,在绝缘层生长时引入两步生长法,或进一步的在电感外侧形成支撑件以提供绝缘层生长的合适间距,从而填补图形之间的间隙,形成良好的台阶覆盖性,克服因台阶阴影效应导致的台阶缝隙金属沉积现象,不但能够有效提升超导集成电路的性能稳定性及可靠性,而且不需要沉积较厚的绝缘层,可缩短绝缘层制备的时间,降低制造成本。

[0117] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

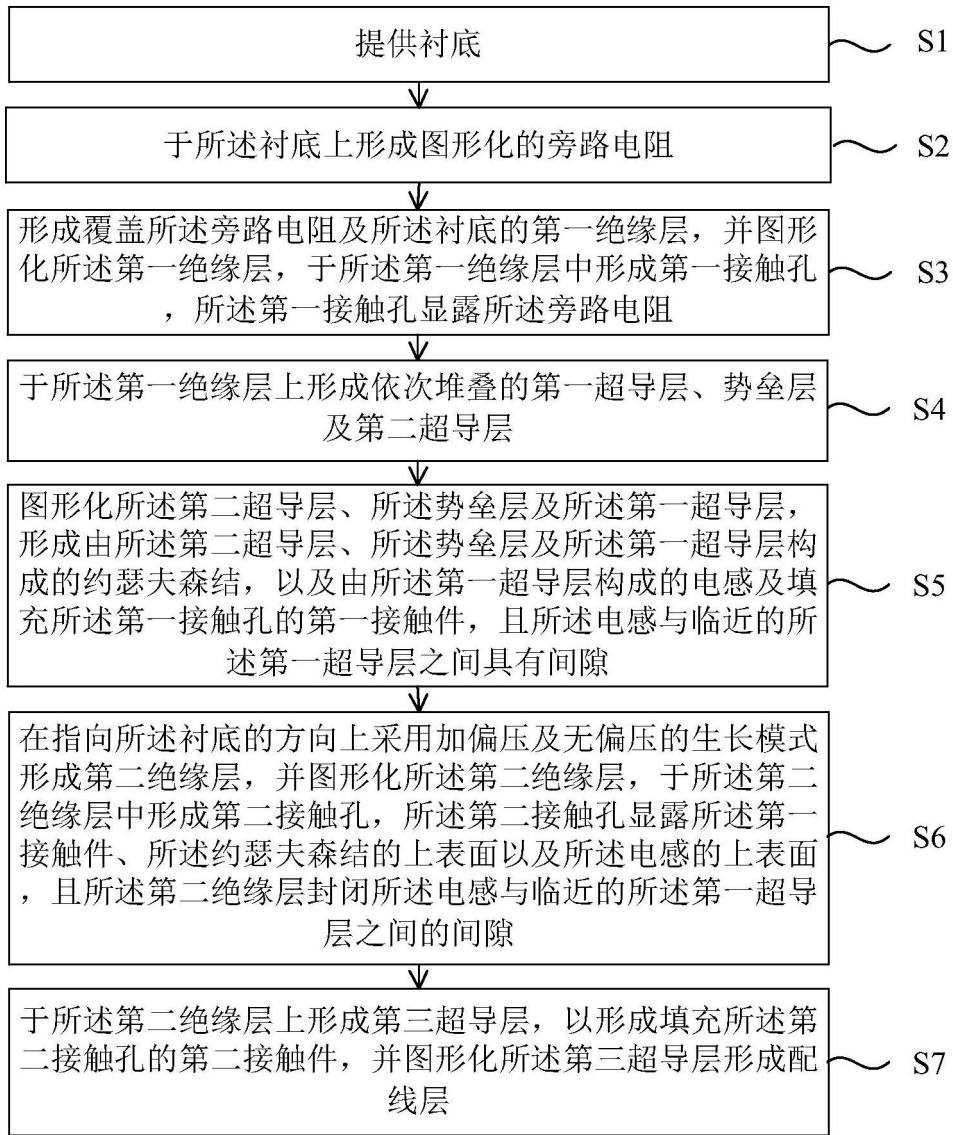


图1

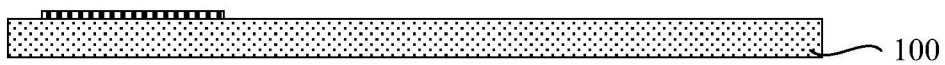


图2

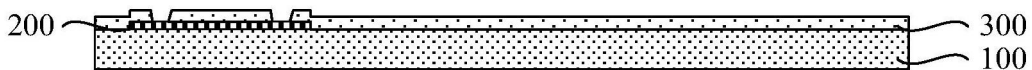


图3

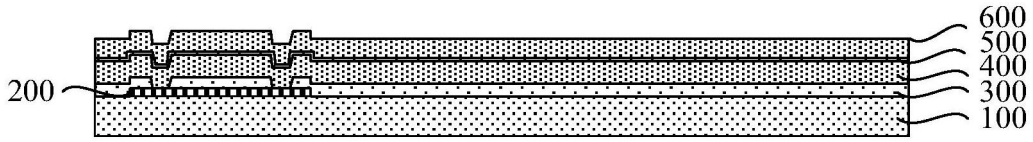


图4

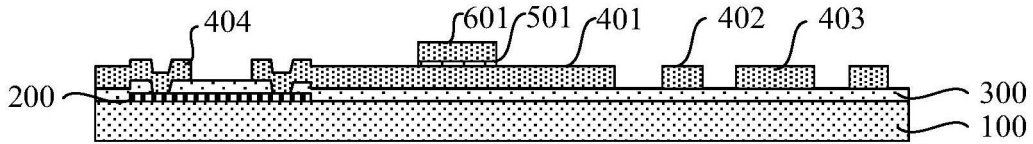


图5

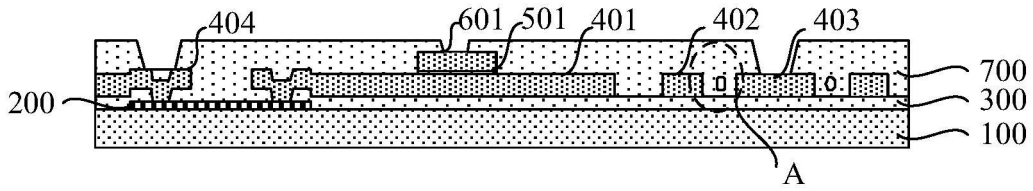


图6

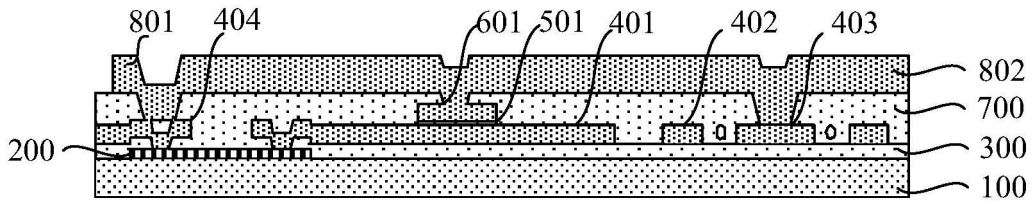


图7

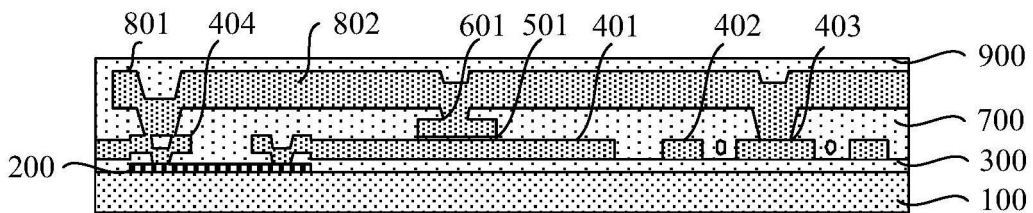


图8

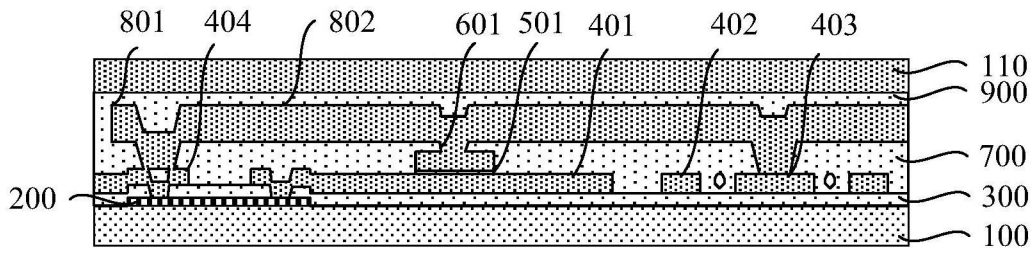


图9

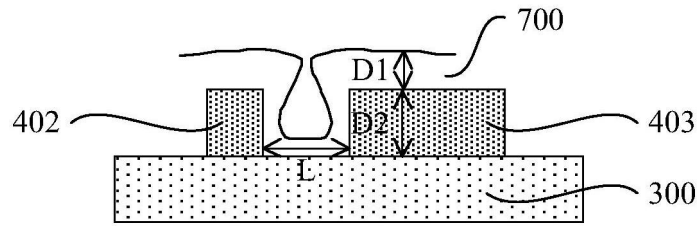


图10

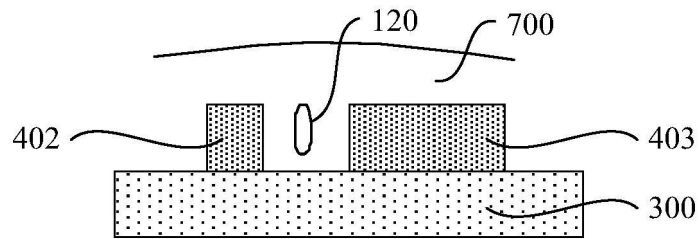


图11